

S61P0303 US00

JC997 U.S. PTO  
09/821636  
03/29/01

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
in this Office.

出願年月日  
Date of Application:

2000年 3月29日

願番号  
Application Number:

特願2000-090282

願人  
Applicant(s):

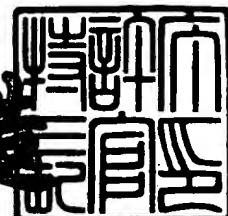
ソニー株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年12月 1日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3100163

【書類名】 特許願  
【整理番号】 0000090706  
【提出日】 平成12年 3月29日  
【あて先】 特許庁長官 殿  
【国際特許分類】 G09F 9/30  
【発明者】  
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内  
【氏名】 池田 裕幸  
【特許出願人】  
【識別番号】 000002185  
【氏名又は名称】 ソニー株式会社  
【代表者】 出井 伸之  
【代理人】  
【識別番号】 100092336  
【弁理士】  
【氏名又は名称】 鈴木晴敏  
【電話番号】 0466-54-2640  
【手数料の表示】  
【予納台帳番号】 010191  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9709206  
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜半導体装置及びその駆動方法

【特許請求の範囲】

【請求項1】 基板に集積形成された薄膜トランジスタと、各薄膜トランジスタを接続する配線を含み、

各薄膜トランジスタは所定の閾電圧を有し配線を介して印加されるゲート電圧に応じてオンオフ動作するチャネルを備え、

少なくとも一部の薄膜トランジスタは、該チャネルを構成する半導体薄膜と、絶縁膜を介して該半導体薄膜の表裏に配された第一ゲート電極及び第二ゲート電極とを備えている薄膜半導体装置において、

前記第一ゲート電極及び前記第二ゲート電極は互いに分離して設けた配線を介して別々に第一ゲート電圧及び第二ゲート電圧を受け入れ、

前記第一ゲート電極は、該第一ゲート電圧に応じて該チャネルをオンオフ制御し、

前記第二ゲート電極は、該第二ゲート電圧に応じて該閾電圧を能動的に制御し薄膜トランジスタのオンオフ動作を適正化することを特徴とする薄膜半導体装置。

【請求項2】 前記チャネルを構成する半導体薄膜の部分は、空乏層の形成に実効的な影響を与える不純物を含まない多結晶シリコンからなり、その膜厚が100nm以下であることを特徴とする請求項1記載の薄膜半導体装置。

【請求項3】 前記チャネルを構成する半導体薄膜の部分は、空乏層の形成に実効的な影響を与える不純物を含む多結晶シリコンからなり、その膜厚が空乏層厚の最大値の2倍以下であることを特徴とする請求項1記載の薄膜半導体装置。

【請求項4】 前記第二ゲート電極は、少なくとも薄膜トランジスタのオフ動作時に印加される該第二ゲート電圧に応じて該閾電圧を能動的に制御し、薄膜トランジスタのオフ動作時チャネルに流れる電流を該第二ゲート電圧無印加の時に比べ減少化することを特徴とする請求項1記載の薄膜半導体装置。

【請求項5】 前記第二ゲート電極は、少なくとも薄膜トランジスタのオン

動作時に印加される該第二ゲート電圧に応じて該閾電圧を能動的に制御し、薄膜トランジスタのオン動作時チャネルに流れる電流を該第二ゲート電圧無印加の時に比べ増大化することを特徴とする請求項1記載の薄膜半導体装置。

【請求項6】 所定の間隙を介して互いに接合した一対の基板と、該間隙に保持された液晶とからなり、

一方の基板は、画素電極及びこれを駆動する薄膜トランジスタが集積形成された表示部と、同じく薄膜トランジスタが集積形成された周辺の回路部とを備え、

他方の基板は、画素電極に対面する対向電極を備え、

各薄膜トランジスタは所定の閾電圧を有し配線を介して印加されるゲート電圧に応じてオンオフ動作するチャネルを備え、

少なくとも一部の薄膜トランジスタは、該チャネルを構成する半導体薄膜と、絶縁膜を介して該半導体薄膜の表裏に配された第一ゲート電極及び第二ゲート電極とを備えている液晶表示装置において、

前記第一ゲート電極及び前記第二ゲート電極は互いに分離して設けた配線を介して別々に第一ゲート電圧及び第二ゲート電圧を受け入れ、

前記第一ゲート電極は、該第一ゲート電圧に応じて該チャネルをオンオフ制御し、

前記第二ゲート電極は、該第二ゲート電圧に応じて該閾電圧を能動的に制御し薄膜トランジスタのオンオフ動作を適正化することを特徴とする液晶表示装置。

【請求項7】 前記チャネルを構成する半導体薄膜の部分は、空乏層の形成に実効的な影響を与える不純物を含まない多結晶シリコンからなり、その膜厚が100nm以下であることを特徴とする請求項6記載の液晶表示装置。

【請求項8】 該表示部および該回路部に含まれる全ての薄膜トランジスタは、チャネルを構成する半導体薄膜の部分が、空乏層の形成に実効的な影響を与える不純物を含まないことを特徴とする請求項7記載の液晶表示装置。

【請求項9】 前記チャネルを構成する半導体薄膜の部分は、空乏層の形成に実効的な影響を与える不純物を含む多結晶シリコンからなり、その膜厚が空乏層厚の最大値の2倍以下であることを特徴とする請求項6記載の液晶表示装置。

【請求項10】 該表示部および該回路部に含まれる全ての薄膜トランジス

タは、チャネルを構成する半導体薄膜の部分が、空乏層の形成に実効的な影響を与える同一伝導型の不純物を含むことを特徴とする請求項9記載の液晶表示装置。

【請求項11】 前記第二ゲート電極は、少なくとも薄膜トランジスタのオフ動作時に印加される該第二ゲート電圧に応じて該閾電圧を能動的に制御し、薄膜トランジスタのオフ動作時チャネルに流れる電流を該第二ゲート電圧無印加の時に比べ減少化することを特徴とする請求項6記載の液晶表示装置。

【請求項12】 前記第二ゲート電極は、少なくとも薄膜トランジスタのオン動作時に印加される該第二ゲート電圧に応じて該閾電圧を能動的に制御し、薄膜トランジスタのオン動作時チャネルに流れる電流を該第二ゲート電圧無印加の時に比べ増大化することを特徴とする請求項6記載の液晶表示装置。

【請求項13】 エレクトロルミネッセンス素子及びこれを駆動する薄膜トランジスタが集積形成された表示部と、同じく薄膜トランジスタが集積形成された周辺の回路部とを一枚の基板上に備え、

各薄膜トランジスタは所定の閾電圧を有し配線を介して印加されるゲート電圧に応じてオンオフ動作するチャネルを備え、

少なくとも一部の薄膜トランジスタは、該チャネルを構成する半導体薄膜と、絶縁膜を介して該半導体薄膜の表裏に配された第一ゲート電極及び第二ゲート電極とを備えているエレクトロルミネッセンス表示装置において、

前記第一ゲート電極及び前記第二ゲート電極は互いに分離して設けた配線を介して別々に第一ゲート電圧及び第二ゲート電圧を受け入れ、

前記第一ゲート電極は、該第一ゲート電圧に応じて該チャネルをオンオフ制御し、

前記第二ゲート電極は、該第二ゲート電圧に応じて該閾電圧を能動的に制御し薄膜トランジスタのオンオフ動作を適正化することを特徴とするエレクトロルミネッセンス表示装置。

【請求項14】 前記チャネルを構成する半導体薄膜の部分は、空乏層の形成に実効的な影響を与える不純物を含まない多結晶シリコンからなり、その膜厚が100nm以下であることを特徴とする請求項13記載のエレクトロルミネッ

センス表示装置。

【請求項15】 該表示部および該回路部に含まれる全ての薄膜トランジスタは、チャネルを構成する半導体薄膜の部分が、空乏層の形成に実効的な影響を与える不純物を含まないことを特徴とする請求項14記載のエレクトロルミネッセンス表示装置。

【請求項16】 前記チャネルを構成する半導体薄膜の部分は、空乏層の形成に実効的な影響を与える不純物を含む多結晶シリコンからなり、その膜厚が空乏層厚の最大値の2倍以下であることを特徴とする請求項13記載のエレクトロルミネッセンス表示装置。

【請求項17】 該表示部および該回路部に含まれる全ての薄膜トランジスタは、チャネルを構成する半導体薄膜の部分が、空乏層の形成に実効的な影響を与える同一伝導型の不純物を含むことを特徴とする請求項16記載のエレクトロルミネッセンス表示装置。

【請求項18】 前記第二ゲート電極は、少なくとも薄膜トランジスタのオフ動作時に印加される該第二ゲート電圧に応じて該閾電圧を能動的に制御し、薄膜トランジスタのオフ動作時チャネルに流れる電流を該第二ゲート電圧無印加の時に比べ減少化することを特徴とする請求項13記載のエレクトロルミネッセンス表示装置。

【請求項19】 前記第二ゲート電極は、少なくとも薄膜トランジスタのオン動作時に印加される該第二ゲート電圧に応じて該閾電圧を能動的に制御し、薄膜トランジスタのオン動作時チャネルに流れる電流を該第二ゲート電圧無印加の時に比べ増大化することを特徴とする請求項13記載のエレクトロルミネッセンス表示装置。

【請求項20】 基板に集積形成された薄膜トランジスタと、各薄膜トランジスタを接続する配線を含み、各薄膜トランジスタは所定の閾電圧を有し配線を介して印加されるゲート電圧に応じてオンオフ動作するチャネルを備え、少なくとも一部の薄膜トランジスタは、該チャネルを構成する半導体薄膜と、絶縁膜を介して該半導体薄膜の表裏に配された第一ゲート電極及び第二ゲート電極とを備えている薄膜半導体装置の駆動方法において、

前記第一ゲート電極及び前記第二ゲート電極は互いに分離して設けた配線を介して別々に第一ゲート電圧及び第二ゲート電圧を受け入れ、

前記第一ゲート電極は、該第一ゲート電圧に応じて該チャネルをオンオフ制御し、

前記第二ゲート電極は、該第二ゲート電圧に応じて該閾電圧を能動的に制御し薄膜トランジスタのオンオフ動作を適正化することを特徴とする薄膜半導体装置の駆動方法。

【請求項21】 前記チャネルを構成する半導体薄膜の部分は、空乏層の形成に実効的な影響を与える不純物を含まない多結晶シリコンからなり、その膜厚が100nm以下であることを特徴とする請求項20記載の薄膜半導体装置の駆動方法。

【請求項22】 前記チャネルを構成する半導体薄膜の部分は、空乏層の形成に実効的な影響を与える不純物を含む多結晶シリコンからなり、その膜厚が空乏層厚の最大値の2倍以下であることを特徴とする請求項20記載の薄膜半導体装置の駆動方法。

【請求項23】 前記第二ゲート電極は、少なくとも薄膜トランジスタのオフ動作時に印加される該第二ゲート電圧に応じて該閾電圧を能動的に制御し、薄膜トランジスタのオフ動作時チャネルに流れる電流を該第二ゲート電圧無印加の時に比べ減少化することを特徴とする請求項20記載の薄膜半導体装置の駆動方法。

【請求項24】 前記第二ゲート電極は、少なくとも薄膜トランジスタのオン動作時に印加される該第二ゲート電圧に応じて該閾電圧を能動的に制御し、薄膜トランジスタのオン動作時チャネルに流れる電流を該第二ゲート電圧無印加の時に比べ増大化することを特徴とする請求項20記載の薄膜半導体装置の駆動方法。

【請求項25】 所定の間隙を介して互いに接合した一対の基板と、該間隙に保持された液晶とからなり、一方の基板は、画素電極及びこれを駆動する薄膜トランジスタが集積形成された表示部と、同じく薄膜トランジスタが集積形成された周辺の回路部とを備え、他方の基板は、画素電極に対面する対向電極を備え

、各薄膜トランジスタは所定の閾電圧を有し配線を介して印加されるゲート電圧に応じてオンオフ動作するチャネルを備え、少なくとも一部の薄膜トランジスタは、該チャネルを構成する半導体薄膜と、絶縁膜を介して該半導体薄膜の表裏に配された第一ゲート電極及び第二ゲート電極とを備えている液晶表示装置の駆動方法において、

前記第一ゲート電極及び前記第二ゲート電極は互いに分離して設けた配線を介して別々に第一ゲート電圧及び第二ゲート電圧を受け入れ、

前記第一ゲート電極は、該第一ゲート電圧に応じて該チャネルをオンオフ制御し、

前記第二ゲート電極は、該第二ゲート電圧に応じて該閾電圧を能動的に制御し薄膜トランジスタのオンオフ動作を適正化することを特徴とする液晶表示装置の駆動方法。

【請求項26】 前記チャネルを構成する半導体薄膜の部分は、空乏層の形成に実効的な影響を与える不純物を含まない多結晶シリコンからなり、その膜厚が100nm以下であることを特徴とする請求項25記載の液晶表示装置の駆動方法。

【請求項27】 該表示部および該回路部に含まれる全ての薄膜トランジスタは、チャネルを構成する半導体薄膜の部分が、空乏層の形成に実効的な影響を与える不純物を含まないことを特徴とする請求項26記載の液晶表示装置の駆動方法。

【請求項28】 前記チャネルを構成する半導体薄膜の部分は、空乏層の形成に実効的な影響を与える不純物を含む多結晶シリコンからなり、その膜厚が空乏層厚の最大値の2倍以下であることを特徴とする請求項25記載の液晶表示装置の駆動方法。

【請求項29】 該表示部および該回路部に含まれる全ての薄膜トランジスタは、チャネルを構成する半導体薄膜の部分が、空乏層の形成に実効的な影響を与える同一伝導型の不純物を含むことを特徴とする請求項28記載の液晶表示装置の駆動方法。

【請求項30】 前記第二ゲート電極は、少なくとも薄膜トランジスタのオ

フ動作時に印加される該第二ゲート電圧に応じて該閾電圧を能動的に制御し、薄膜トランジスタのオフ動作時チャネルに流れる電流を該第二ゲート電圧無印加の時に比べ減少化することを特徴とする請求項25記載の液晶表示装置の駆動方法。

【請求項31】 前記第二ゲート電極は、少なくとも薄膜トランジスタのオン動作時に印加される該第二ゲート電圧に応じて該閾電圧を能動的に制御し、薄膜トランジスタのオン動作時チャネルに流れる電流を該第二ゲート電圧無印加の時に比べ増大化することを特徴とする請求項25記載の液晶表示装置の駆動方法。

【請求項32】 エレクトロルミネッセンス素子及びこれを駆動する薄膜トランジスタが集積形成された表示部と、同じく薄膜トランジスタが集積形成された周辺の回路部とを一枚の基板上に備え、各薄膜トランジスタは所定の閾電圧を有し配線を介して印加されるゲート電圧に応じてオンオフ動作するチャネルを備え、少なくとも一部の薄膜トランジスタは、該チャネルを構成する半導体薄膜と、絶縁膜を介して該半導体薄膜の表裏に配された第一ゲート電極及び第二ゲート電極とを備えているエレクトロルミネッセンス表示装置の駆動方法において、

前記第一ゲート電極及び前記第二ゲート電極は互いに分離して設けた配線を介して別々に第一ゲート電圧及び第二ゲート電圧を受け入れ、

前記第一ゲート電極は、該第一ゲート電圧に応じて該チャネルをオンオフ制御し、

前記第二ゲート電極は、該第二ゲート電圧に応じて該閾電圧を能動的に制御し薄膜トランジスタのオンオフ動作を適正化することを特徴とするエレクトロルミネッセンス表示装置の駆動方法。

【請求項33】 前記チャネルを構成する半導体薄膜の部分は、空乏層の形成に実効的な影響を与える不純物を含まない多結晶シリコンからなり、その膜厚が100nm以下であることを特徴とする請求項32記載のエレクトロルミネッセンス表示装置の駆動方法。

【請求項34】 該表示部および該回路部に含まれる全ての薄膜トランジスタは、チャネルを構成する半導体薄膜の部分が、空乏層の形成に実効的な影響を

与える不純物を含まないことを特徴とする請求項33記載のエレクトロルミネッセンス表示装置の駆動方法。

【請求項35】 前記チャネルを構成する半導体薄膜の部分は、空乏層の形成に実効的な影響を与える不純物を含む多結晶シリコンからなり、その膜厚が空乏層厚の最大値の2倍以下であることを特徴とする請求項32記載のエレクトロルミネッセンス表示装置の駆動方法。

【請求項36】 該表示部および該回路部に含まれる全ての薄膜トランジスタは、チャネルを構成する半導体薄膜の部分が、空乏層の形成に実効的な影響を与える同一伝導型の不純物を含むことを特徴とする請求項35記載のエレクトロルミネッセンス表示装置の駆動方法。

【請求項37】 前記第二ゲート電極は、少なくとも薄膜トランジスタのオフ動作時に印加される該第二ゲート電圧に応じて該閾電圧を能動的に制御し、薄膜トランジスタのオフ動作時チャネルに流れる電流を該第二ゲート電圧無印加の時に比べ減少化することを特徴とする請求項32記載のエレクトロルミネッセンス表示装置の駆動方法。

【請求項38】 前記第二ゲート電極は、少なくとも薄膜トランジスタのオン動作時に印加される該第二ゲート電圧に応じて該閾電圧を能動的に制御し、薄膜トランジスタのオン動作時チャネルに流れる電流を該第二ゲート電圧無印加の時に比べ増大化することを特徴とする請求項32記載のエレクトロルミネッセンス表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶ディスプレイや有機エレクトロルミネッセンスディスプレイなどの駆動基板に用いられる薄膜半導体装置及びその駆動方法に関する。より詳しくは、薄膜半導体装置に集積形成される薄膜トランジスタの閾電圧制御技術に関する。

【0002】

【従来の技術】

薄膜半導体装置に集積形成される薄膜トランジスタは、非晶質シリコン又は多結晶シリコンを活性層に用いる。非晶質シリコン薄膜トランジスタは、従来から安価なガラス基板に大面積で形成するプロセス技術が確立されている。多結晶シリコンも、レーザアニール結晶化法の発展及び非晶質シリコン薄膜トランジスタで確立されていたプロセス技術との融合により、やはり安価なガラス基板上に大面積に亘って形成可能となってきた。大面積の薄膜半導体装置は特にアクティブマトリクス型の液晶ディスプレイに応用可能である。多結晶シリコン薄膜トランジスタを用いた場合、電流駆動能力の高さにより、アクティブマトリクス型の液晶ディスプレイにおいては、薄膜トランジスタを用いて画素のスイッチング素子のみならず同一基板上に周辺の駆動回路を一体的に形成できるようになった。

#### 【0003】

ところで、薄膜トランジスタの構造には大きく二種類ある。一つは、基板上で半導体薄膜からなる活性層より上部にゲート電極が形成されたトップゲート構造である。もう一つは、活性層より下部にゲート電極が形成されたボトムゲート構造である。トップゲート構造及びボトムゲート構造の薄膜トランジスタで構成される回路は、何れであっても、ソースを基準とした負ゲート電圧で電流が流れスイッチが開くP型と、正ゲート電圧でスイッチの開くN型との組み合わせによる相補型、所謂CMOS回路が一般的である。CMOS回路は特に消費電力が少ない点に特徴がある。最近のアクティブマトリクス型液晶表示装置は画素電極とスイッチング用の薄膜トランジスタが集積形成された画素アレイの周辺に、CMOS構成の駆動回路が内蔵されている。外部に駆動用ICを実装せずに済む為、非晶質シリコン薄膜トランジスタで画素駆動用のスイッチング素子を形成する場合より、全体の製造コストが安価になると考えられている。今後、多結晶シリコン薄膜トランジスタを集積形成した薄膜半導体装置は、多結晶シリコンの結晶性の向上により、電流駆動能力が増し、より低い閾電圧( $V_{th}$ )で動作する様になる。

#### 【0004】

##### 【発明が解決しようとする課題】

この様な状態下で、低閾電圧で動作する多結晶シリコン薄膜トランジスタを集積形成した薄膜半導体装置を安価に供給する為には、次の様な課題がある。第一に、液晶ディスプレイや有機エレクトロルミネッセンスディスプレイなど表示デバイス用に用いた場合、大きなガラス基板が使われる。この様な大型基板にゲート絶縁膜を形成する方法として、一般にプラズマCVD法が用いられる。しかしながら、プラズマCVD法で形成された膜自体、膜中に電荷やH基、OH基などを含む為、トランジスタの特性レベルで見ると、 $V_{th}$ がばらつき、又経時に変動し易い。第二に、レーザアニール法などによって非晶質シリコンから結晶化された多結晶シリコンは、レーザ光の照射条件の揺らぎなどにより結晶性がばらつく。換言すると、キャリアの移動度が変動する。この影響は大きく、通常 $V_{th}$ が1～2V程度の範囲でばらつく。

#### 【0005】

この様なばらつき要因を内包したまま、多結晶シリコン薄膜トランジスタの性能が向上し、閾電圧 $V_{th}$ が低下すると、本来オフ状態であるはずなのに、特性ばらつきの為に薄膜トランジスタがオン状態になり、回路の誤動作を引き起こしてしまうことになる。この対策が従来から幾つか提案されている。例えば、CMOS回路を構成する場合、N型とP型の活性層に、それぞれ異なる伝導型の不純物を閾電圧調整用に打ち込む。N型薄膜トランジスタの $V_{th}$ を正方向に移動し、P型の薄膜トランジスタの閾電圧を負方向に移動することで誤動作を防止する。例えば、N型のチャネルにはホウ素を打ち込み、P型のチャネルには燐を打ち込む。しかしながら、 $V_{th}$ 調整の為に不純物ホウ素と燐を打ち分けると、マスク形成用のフォトリソグラフ工程と不純物導入工程が増えることになり、製造コストが高くなってしまう。更には、誤動作を防止する為敢えて $V_{th}$ を大きくすることで、電流駆動能力を損ない多結晶シリコン薄膜トランジスタの性能向上のメリットが半減してしまう。別法として、CMOS化による工程増を無くし、コストの低減化を求める場合には、N型の薄膜トランジスタ(NMOS)又はP型の薄膜トランジスタ(PMOS)のみで画素アレイ部のスイッチング素子及び周辺駆動回路を構成する方法もある。PMOSのみで回路を構成する例は、例えば特開平9-18011号公報に開示されている。しかしながら、NMOS又はP

MOSのみで回路を構成すると、 $V_{th}$ のばらつきによる誤動作並びに消費電力の制御がよりシビアになる。

### 【0006】

この様な背景から、 $V_{th}$ のばらつきによる誤動作を克服する技術が引き続き求められている。この様な技術の先駆けとして、画素アレイ部のスイッチング素子を対象とし、特にトップゲート構造の薄膜トランジスタの裏面側に遮光膜を設けた構造が提案されている。例えば、特開平5-257164号公報には、活性層の裏面に遮光膜を設け、光リーク電流によりスイッチが誤って開くことを抑止している。ゲート電極と反対側で活性層の裏面に配された金属製の遮光膜に、電気的なシールドを兼ねて正の定電圧を加えておく技術も提案されている。更には、特開平9-90405号公報において、裏側に配された金属遮光膜をゲート電極として用い、表側のゲート電極と同電位を加える技術も提案されている。この構造は、シリコンウェハを用いてメモリを作成する際のデバイス構造として知られるデュアルゲート構造に似ている。このデュアルゲート構造は、活性層の上下に絶縁膜を介して互いに対向するゲート電極を形成したものである。上下のゲート電極に対して常に同じ電圧を印加してトランジスタをオンオフ動作することにより、シングルゲート構造よりも高い駆動電流が得られる。しかしながら、これらの従来例は何れもリーク電流による誤動作を抑制するか、或いはデュアルゲート駆動を追加することでオン電流の増加を図るに止まっている。これに対し、本発明は、リーク電流増程度の特性変動に対処するのではなく、前述した多結晶シリコン薄膜トランジスタ特有の $V_{th}$ ばらつき、特に高性能化した場合の $V_{th}$ ばらつきに対する厳しい要求を満足すべく創案されたものである。

### 【0007】

#### 【課題を解決するための手段】

上述した従来の技術の課題を解決する為に以下の手段を講じた。即ち、本発明に係る薄膜半導体装置は、基板に集積形成された薄膜トランジスタと、各薄膜トランジスタを接続する配線を含み、各薄膜トランジスタは所定の閾電圧を有し配線を介して印加されるゲート電圧に応じてオンオフ動作するチャネルを備え、少なくとも一部の薄膜トランジスタは、該チャネルを構成する半導体薄膜と、絶縁

膜を介して該半導体薄膜の表裏に配された第一ゲート電極及び第二ゲート電極とを備えている。特徴事項として、前記第一ゲート電極及び前記第二ゲート電極は互いに分離して設けた配線を介して別々に第一ゲート電圧及び第二ゲート電圧を受け入れ、前記第一ゲート電極は、該第一ゲート電圧に応じて該チャネルをオンオフ制御し、前記第二ゲート電極は、該第二ゲート電圧に応じて該閾電圧を能動的に制御し薄膜トランジスタのオンオフ動作を適正化する。好ましくは、前記チャネルを構成する半導体薄膜の部分は、空乏層の形成に実効的な影響を与える不純物を含まない多結晶シリコンからなり、その膜厚が100nm以下である。或いは、前記チャネルを構成する半導体薄膜の部分は、空乏層の形成に実効的な影響を与える不純物を含む多結晶シリコンからなり、その膜厚が空乏層厚の最大値の2倍以下である。又、前記第二ゲート電極は、少なくとも薄膜トランジスタのオフ動作時に印加される該第二ゲート電圧に応じて該閾電圧を能動的に制御し、薄膜トランジスタのオフ動作時チャネルに流れる電流を該第二ゲート電圧無印加の時に比べ減少化する。又、前記第二ゲート電極は、少なくとも薄膜トランジスタのオン動作時に印加される該第二ゲート電圧に応じて該閾電圧を能動的に制御し、薄膜トランジスタのオン動作時チャネルに流れる電流を該第二ゲート電圧無印加の時に比べ増大化する。

## 【0008】

又、本発明に係る液晶表示装置は、所定の間隙を介して互いに接合した一対の基板と、該間隙に保持された液晶とからなり、一方の基板は、画素電極及びこれを駆動する薄膜トランジスタが集積形成された表示部と、同じく薄膜トランジスタが集積形成された周辺の回路部とを備え、他方の基板は、画素電極に対面する対向電極を備え、各薄膜トランジスタは所定の閾電圧を有し配線を介して印加されるゲート電圧に応じてオンオフ動作するチャネルを備え、少なくとも一部の薄膜トランジスタは、該チャネルを構成する半導体薄膜と、絶縁膜を介して該半導体薄膜の表裏に配された第一ゲート電極及び第二ゲート電極とを備えている。特徴事項として、前記第一ゲート電極及び前記第二ゲート電極は互いに分離して設けた配線を介して別々に第一ゲート電圧及び第二ゲート電圧を受け入れ、前記第一ゲート電極は、該第一ゲート電圧に応じて該チャネルをオンオフ制御し、前記

第二ゲート電極は、該第二ゲート電圧に応じて該閾電圧を能動的に制御し薄膜トランジスタのオンオフ動作を適正化する。

## 【0009】

更に、本発明に係るエレクトロルミネッセンス表示装置は、エレクトロルミネッセンス素子及びこれを駆動する薄膜トランジスタが集積形成された表示部と、同じく薄膜トランジスタが集積形成された周辺の回路部とを一枚の基板上に備え、各薄膜トランジスタは所定の閾電圧を有し配線を介して印加されるゲート電圧に応じてオンオフ動作するチャネルを備え、少なくとも一部の薄膜トランジスタは、該チャネルを構成する半導体薄膜と、絶縁膜を介して該半導体薄膜の表裏に配された第一ゲート電極及び第二ゲート電極とを備えている。特徴事項として、前記第一ゲート電極及び前記第二ゲート電極は互いに分離して設けた配線を介して別々に第一ゲート電圧及び第二ゲート電圧を受け入れ、前記第一ゲート電極は、該第一ゲート電圧に応じて該チャネルをオンオフ制御し、前記第二ゲート電極は、該第二ゲート電圧に応じて該閾電圧を能動的に制御し薄膜トランジスタのオンオフ動作を適正化する。

## 【0010】

本発明によれば、デュアルゲート構造の薄膜トランジスタにおいて、第一ゲート電極（表側電極）及び第二ゲート電極（裏側ゲート電極）は互いに分離して設けた配線を介して別々に第一ゲート電圧及び第二ゲート電圧を受け入れる。第一ゲート電極は、正規の第一ゲート電圧に応じてチャネルをオンオフ制御する一方、第二ゲート電極は正規の第一ゲート電圧とは異なる調整用の第二ゲート電圧に応じて閾電圧  $V_{t h}$  を能動的に制御し、薄膜トランジスタのオンオフ動作を適正化する。例えば、第二ゲート電極はオフ動作時に印加される第二ゲート電圧に応じて閾電圧を能動的に制御し、薄膜トランジスタのオフ動作時チャネルに流れるリーク電流を抑制する。或いは、第二ゲート電極は、薄膜トランジスタのオン動作時に印加される第二ゲート電圧に応じて閾電圧を能動的に制御し、薄膜トランジスタのオン動作時チャネルに流れる駆動電流を増大化する。この様に、オンオフ動作に応じて閾電圧を能動的に制御する為には、チャネルのバンド構造に対して第一ゲート電圧ばかりでなく第二ゲート電圧が影響を与える必要がある。この

状態を安定的に確保する為には、チャネル領域を構成する半導体薄膜の部分が比較的薄い膜厚を有することが好ましい。空乏層の形成に実効的な影響を与える不純物を含まない多結晶シリコンを用いた場合には、その膜厚が100 nm以下であることが好ましい。あるいは、空乏層の形成に実効的な影響を与える不純物を含む多結晶シリコンをチャネル領域（活性層）に用いた場合は、多結晶シリコンの膜厚が空乏層厚の最大値の2倍以下であることが好ましい。この様な条件を満たすことで、第一ゲート電圧及び第二ゲート電圧を互いに独立に制御しつつ、薄膜トランジスタの閾電圧  $V_{th}$  をオンオフ動作に応じて能動的に制御することが可能になる。

## 【0011】

## 【発明の実施の形態】

以下図面を参照して本発明の実施の形態を詳細に説明する。図1は本発明に係る薄膜半導体装置の実施形態の一例を示す模式的な部分断面図である。図示する様に、本薄膜半導体装置は、ガラスなどからなる基板1に集積形成された薄膜トランジスタTFTと、各薄膜トランジスタを接続する配線を含む。薄膜トランジスタTFTは所定の閾電圧 ( $V_{th}$ ) を有しゲート配線（図示せず）を介して印加されるゲート電圧に応じてオンオフ動作するチャネルChを備えている。少なくとも一部の薄膜トランジスタTFTは、チャネルChを構成する半導体薄膜4と、絶縁膜3, 7を介して半導体薄膜4の表裏に配された第一ゲート電極（表側ゲート電極2F）及び第二ゲート電極（裏側ゲート電極2R）とを備えている。図示したTFTはボトムゲート構造であるので、半導体薄膜4の下方に配された本来のゲート電極を表側ゲート電極2Fとし、これとは反対に配された追加のゲート電極を裏側ゲート電極2Rとしている。表側ゲート電極2F及び裏側ゲート電極2Rは互いに分離して設けた配線（図示せず）を介して別々に第一ゲート電圧及び第二ゲート電圧を受け入れる。表側ゲート電極2Fは第一ゲート電圧に応じてチャネルChをオンオフ制御する一方、裏側ゲート電極2Rは第二ゲート電圧に応じて閾電圧  $V_{th}$  を能動的に制御し薄膜トランジスタTFTのオンオフ動作を適正化する。尚、TFTを被覆する絶縁膜7にはコンタクトホールが開口しており、その上にソース電極5S及びドレイン電極5Dが形成されている。この

絶縁膜7の上に前述した裏側ゲート電極2Rも形成されている。係る構成を有するボトムゲート構造のTFTは平坦化膜9により被覆されており、その上に画素電極10が形成されている。又、半導体薄膜4のソースSとチャネルChの間及びドレインDとチャネルChの間にはそれぞれ不純物が低濃度で注入されたLD領域が設けられている。本実施形態では、チャネルChを構成する半導体薄膜4の部分は、空乏層の形成に実効的な影響を与える不純物を含まない多結晶シリコンからなり、その膜厚が100nm以下である。或いは、チャネルChを構成する半導体薄膜4の部分は、空乏層の形成に実効的な影響を与える不純物を含む多結晶シリコンからなり、その膜厚が空乏層厚の最大値の2倍以下であってもよい。ここで、具体的な動作としては、裏側ゲート電極2Rは、少なくとも薄膜トランジスタTFTのオフ動作時に印加される第二ゲート電圧に応じて閾電圧Vthを能動的に制御し、薄膜トランジスタTFTのオフ動作時チャネルに流れるリーク電流を第二ゲート電圧無印加の時に比べ減少化する。更には、裏側ゲート電極2Rは、少なくとも薄膜トランジスタTFTのオン動作時に印加される第二ゲート電圧に応じて閾電圧Vthを能動的に制御し、薄膜トランジスタのオン動作時チャネルChに流れる駆動電流を第二ゲート電圧無印加の時に比べ増大化してもよい。

#### 【0012】

引き続き、図1を参照して本発明に係る薄膜半導体装置の製造方法の一例を説明する。まず、ガラスなどからなる基板1上にスパッタリング法でモリブデン(Mo)を100nmの厚みで成膜し、所定の形状にパタニングして表側ゲート電極2F及びこれに接続するゲート配線(図示せず)を形成する。続いて、プラズマCVD法で、シリコン酸化膜(SiO<sub>2</sub>)を150nm堆積し、ゲート絶縁膜3とする。更に連続成膜で、非晶質シリコン(a-Si)を50nmの厚みで成膜する。これを400℃2時間アニールし、非晶質シリコン中に含まれた水素を脱離した後、エキシマレーザアニール(ELA)により、非晶質シリコンを多結晶シリコンに転換する。これにより、多結晶シリコンからなる半導体薄膜4が形成できる。

#### 【0013】

次に例えば50 nmの厚みで $\text{SiO}_2$ を成膜し(図示省略)、その上からイオン注入法で半導体薄膜4中に閾電圧調整用のボロンを導入する。その濃度は、チャネルCh内の実効的なボロン濃度が例えば $5 \times 10^{16}/\text{cm}^3$ 程度となる様に制御する。続いて、背面露光により、表側ゲート電極2Fとセルファライメントでレジストパターンを形成する。再び、レジストパターンをマスクとしてイオン注入法で不純物燐を注入し、LDD領域を形成する。そのドーズ量は、例えば $1 \times 10^{13}/\text{cm}^2$ である。レジスト除去後、図示するNチャネル型薄膜トランジスタTFTの上に、チャネル長方向でゲート端より $1 \mu\text{m}$ 程度はみ出す形で別のレジストパターンを形成し、又Pチャネル型の薄膜トランジスタ(図示せず)は完全に被覆する形でレジストパターンを形成する。このレジストパターンをマスクとして、イオンドープ法で不純物燐をドーズ量 $1 \times 10^{15}/\text{cm}^2$ 導入し、図示のNチャネル型薄膜トランジスタTFTのソースS及びドレインDを形成する。この後使用済みとなったレジストパターンを除去した後、Nチャネル型薄膜トランジスタの部分を完全に被覆する型で且つPチャネル型薄膜トランジスタはチャネルChを被覆する型で、別のレジストパターンを形成する。これをマスクとしてイオンドープ法で不純物ボロンを設定ドーズ量 $8 \times 10^{14}/\text{cm}^2$ で導入し、Pチャネル型の薄膜トランジスタTFTを形成する。使用済みとなったレジストパターンを除去後、ランプアニール法で、半導体薄膜4に注入された不純物の活性化を行なう。この後、半導体薄膜4を薄膜トランジスタTFTの素子領域の形状に合せて島状に分離する。

## 【0014】

続いて、プラズマCVD法で $\text{SiO}_2$ を150 nmの厚みで堆積し、更に $\text{Si}_3\text{N}_4$ を200 nmの厚みで成膜して、層間絶縁膜7とする。この状態で、400°C 1時間のアニールを行なう。次に、ゲート配線やソースS、ドレインDに接続するコンタクトホールを層間絶縁膜7に設け、アルミニウムを400 nm、チタンを100 nm連続成膜する。この積層金属膜を所定の形状にパタニングして信号配線5S、裏側ゲート電極2R、ドレイン電極5Dを適宜必要箇所に形成する。この後、 $1 \mu\text{m}$ 程度の厚みでアクリル樹脂などからなる平坦化膜9を形成する。この後、画素アレイ部にはITOなどの透明電極を成膜し、所定の形状にパ

タニングして画素電極10に加工する。この薄膜半導体装置に形成された薄膜トランジスタTFTは、チャネルChとなる活性層の最大空乏層厚みが約140nmであり、半導体薄膜4の膜厚50nmは、この最大空乏層厚みの2倍以下となっている。尚、この薄膜半導体装置をアクティブマトリクス型表示装置の駆動基板に用いる場合、図示の画素アレイ部に加え、周辺部（図示せず）にも駆動回路用の薄膜トランジスタが集積形成されている。この駆動回路中でVthに対して制約の厳しい箇所に配されたNチャネル型の薄膜トランジスタに、本発明の表裏ゲート構造を適用することが好ましい。この場合、画素アレイ部（表示部）及び周辺回路部に含まれる全ての薄膜トランジスタは、チャネルを構成する半導体薄膜4の部分が、空乏層の形成に実効的な影響を与える同一導電型の不純物を含む様にする。これにより、不純物注入工程が簡略化できる。或いは、表示部及び周辺回路部に含まれる全ての薄膜トランジスタは、チャネルChを構成する半導体薄膜4の部分が、空乏層の形成に実効的な影響を与える不純物を含まない様にしてもよい。

### 【0015】

図2を参照して、本発明の背景並びに基本原理を説明する。一般に、シリコン中に実効的な不純物が導入されている場合、即ちフェルミエネルギーが伝導帯端と価電子帶端の中点からずれている場合、電界が印加されると多数キャリアが払い除けられる。例えば、ボロンが導入されている場合、シリコンに対しゲート絶縁膜を介して正のゲート電圧を弱く印加すると、シリコン界面から正の電荷であるホールが払い出され、所謂空乏層が形成される。更にゲート電圧を大きくすると、電子が誘起され強反転状態が出現する。強反転状態の出現で空乏層の厚みは飽和する。この現象は、シリコン層が薄膜になり、裏面にも絶縁膜を介してゲート電極が存在する様になると、新しい現象が出現する。本発明は、この現象を利用したものである。シリコンに不純物（例えばボロン）が導入されている場合、シリコン膜厚が最大空乏層厚の2倍以下であると、図2の（A）に示す様に表裏から正電圧を印加した場合、バンドLSで示す様に空乏層同士が干渉する。これにより、シリコン層内のバンドLTがより変化することになる。尚、バンドLTはシリコンの膜厚が最大空乏層厚の2倍以上である状態を示している。又、図2の

(B) に示す様に、シリコンの表裏に正負互いに逆のゲート電圧を印加すると、例えば裏側に負電圧を印加した場合、バンドLSで示す様に、表側の空乏層が短くなる。尚、図2中で、VGFは表側のゲート電圧を示し、VGRは裏側のゲート電圧を示している。図2に示した現象は、不純物が導入されていない場合にも観察され、この時には特にシリコンの膜厚とは関係なく起こる。但し、現実的なゲート電圧の大きさで制御する為には、シリコンの厚みは100nm以下が好ましい。

#### 【0016】

この様に、表裏から印加されるゲート電圧VGF, VGRに応じてシリコン中のバンドが大きく変化する現象を利用して、薄膜トランジスタの閾電圧を能動的に制御することが可能になる。この点につき、図3を参照して説明する。図3の(N)は図1に示した本発明に係るNチャネル型薄膜トランジスタの動作特性を示すグラフである。横軸に表側ゲート電圧VGFを取り、縦軸にドレイン電流IDを対数メモリで取ってある。又、裏側ゲート電極VGRをパラメータとしてある。図3の(P)は、同じく本発明に係るPチャネル型の薄膜トランジスタの動作特性を示すグラフである。裏側ゲート電圧VGRを例えば、-10V, -5V, 0V, +5V, +10Vと離散的に設定し、表側ゲート電圧VGFを-10Vから+10Vまで連続的に掃引すると、N型薄膜トランジスタ及びP型薄膜トランジスタ共に、ドレイン電流/ゲート電圧特性が段階的にシフトする。この現象は、チャネルを構成する半導体薄膜の部分が、空乏層の形成に実効的な影響を与える不純物を含み且つ、その膜厚が空乏層厚の最大値の2倍以下である時に顕著に観察される。又、チャネルを構成する半導体薄膜の部分が、空乏層の形成に実効的な影響を与える不純物を含まない場合、その膜厚が100nm以下であるときに顕著に観察される。即ち、チャネルを構成する半導体薄膜の部分が比較的薄い場合に、図3に示した現象が現れる。

#### 【0017】

これに対し、図4はチャネルを構成する半導体薄膜の部分の厚みが比較的厚い場合であり、(N)はNチャネル型薄膜トランジスタのドレイン電流/ゲート電圧特性を表わしており、(P)はPチャネル型薄膜トランジスタのドレイン電流

/ゲート電圧特性を表わしている。この場合、裏側のゲート電圧VGRを-10V, -5V, 0V, 5V, 10Vと離散的に設定し、表側のゲート電圧VGFを-10Vから+10Vまで連続的に掃引させても、動作特性カーブが部分的にしか段階変化しない。Nチャネル型薄膜トランジスタでは、VGRが負の場合、ほとんどドレンイン電流/ゲート電圧特性に影響を与えていない。Pチャネル型薄膜トランジスタの場合、裏側ゲート電圧VGRが正側で、薄膜トランジスタのドレンイン電流/ゲート電圧特性にほとんど影響を与えていない。

#### 【0018】

図3に示した基本的な性質を利用し、本発明は能動的に薄膜トランジスタのVthを制御するものである。例えば、回路中のN型薄膜トランジスタに対し、その回路がトランジスタのリーク電流で消費電力が増大したり誤動作する様な場合、トランジスタオンのタイミングでは表側ゲート電圧と同じ電圧を裏側ゲート電極に通常通り与える一方、トランジスタオフのタイミングでは裏側ゲート電極に負の電位を与える。これにより、N型トランジスタのVthがばらつきの為負側にずれていたとしても、リーク電流を完全に遮断することができる。裏側ゲート電極VGRが0VではVthが低く、リークが大きい場合であっても、VGR=-5Vとすることで、図3(N)に示す様に適正なオフ特性になることが分かる。これにより、少なくともトランジスタオフ時にVGR=-5Vを印加することで、Vthにばらつきがあっても良好な動作が確保できる。尚、トランジスタオン時には、裏側ゲート電極に対して表側ゲート電圧と同じ電位ではなく0Vを印加しても特に問題はない。

#### 【0019】

又、Vthがやや負側にあるP型トランジスタについては、トランジスタオンの時に表裏共ゲート電極に負電位を与え、Vthをずらして電流を増加させる一方、トランジスタオフの時裏側ゲート電極に印加する電圧を0Vとする使い方も可能である。この様に、表裏のゲート電極に対して互いに独立にゲート電圧パルスを印加することで、個々の回路に応じて能動的にVthを制御でき、Vthのばらつきに対して有効に回路を安定動作させることができるとともに、オン電流を単独ゲート電極構造の場合より増すことが可能である。

## 【0020】

図5は、本発明に係る薄膜半導体装置の具体的な実施例を示す模式的な回路図である。（A）が実施例を示し、（B）は対応する従来例を表わしている。本実施例は、アクティブマトリクス型表示装置の周辺駆動回路として内蔵されるシフトレジスタを構成するクロック制御型インバータの典型例である。（A）及び（B）において、Nチャネル型の薄膜トランジスタN1には選択時に+10Vが入力され、非選択時には0Vが入力される。Pチャネル型薄膜トランジスタP1には、N1と逆相、即ち、選択時に0V、非選択時には+10Vのパルスが入力される。シフトレジスタの前段から転送された信号は、インバータ接続された一対の薄膜トランジスタN2、P2の入力端子Vinに印加される。尚、非選択時は該インバータの出力Voutは不定電位である。P1及びN1の表側ゲートに印加されるクロック入力でインバータN2、P2が選択されると、Vinが+10Vの時は、N1及びN2により、Voutは0Vとなる。選択解除によりVoutの電位は0Vに固定される。Vinが0Vの時は、VoutはP1、P2により+10Vに固定する。しかし、トランジスタが高性能化しNチャネル型薄膜トランジスタのVthが低下し、1V程度になった場合、多結晶シリコンの特性ばらつきの為、Nチャネル型薄膜トランジスタの閾電圧Vthは0V近くまでばらつくことになる。この場合、Voutが10Vに固定保持されている時、N1、N2の大きなリーケ電流の為に、Voutの保持電圧が低下し、次段への信号伝達能力が損なわれ、これが各段毎に累積することで、シフトレジスタ内の信号転送に誤動作が生じる。本実施例では、この現象を避ける為、（A）に示した様に、Nチャネル型薄膜トランジスタN1に裏面ゲート電極Gを設けた。この裏側ゲート電極Gには、選択時に+10V、非選択時に-5Vのパルスを入力する。これにより、シフトレジスタの信号転送は正常に行なわれる。

## 【0021】

図6は、本発明に係る薄膜半導体装置の他の実施例を示す模式的な回路図である。（A）が実施例を示し、（B）は対応する従来例を表わしている。本実施例も、クロック制御型インバータであるが、Nチャネル型薄膜トランジスタのみで回路を構成したものである。具体的な製造方法としては、図1を参照して説明し

た製造工程から、特にPチャネル型薄膜トランジスタに関係する工程を除けばよい。図6に示した様に、薄膜トランジスタN1のVinには、前段からの転送信号が入力される。他方の薄膜トランジスタN2には、選択時に0Vで非選択時に10Vのクロックパルスが入力される。Vinが0Vの時は非選択状態でVoutは10Vである。Vinが10Vの時選択状態となり、Voutは0Vになる。次段はこれと逆相で動作し、次々に信号が転送される。しかしながら、Nチャネル型薄膜トランジスタの場合、N1, N2共表側ゲート電極に0Vが印加された状態の時、Vthのばらつきによりリーク電流が流れる場合がある。N2のリークは消費電力の増大をもたらし、N1のリーク電流は誤動作の原因となる。そこで、本実施例では、薄膜トランジスタN1, N2の両方に裏側ゲート電極G1, G2を設け、常時-5Vを印加した。これにより、リークが抑制され、消費電力の増大化及び誤動作を防止可能である。

## 【0022】

図7は、図6に示したクロック制御型インバータの変形例を表わしており、負電源を組み合わせたものである。薄膜トランジスタN2の裏側ゲート電極G2には、表側ゲート電極に印加される電圧よりも5V低い電圧パルスを印加する一方、薄膜トランジスタN1の裏側ゲート電極には-5Vを常時印加してある。

## 【0023】

図8は、本発明に係る薄膜半導体装置の他の実施形態の一例を示す模式的な部分断面図である。図1に示した先の実施形態と対応する部分には対応する参照番号を付して理解を容易にしている。図1に示した実施形態がボトムゲート構造の薄膜トランジスタであるのに対し、図8に示した実施形態はトップゲート構造の薄膜トランジスタである。図示する様に、ガラスなどからなる絶縁基板1の上には裏側ゲート電極2Rが形成されている。下地の絶縁膜15を介して裏側ゲート電極2Rの上には多結晶シリコンからなる半導体薄膜4が形成されている。この半導体薄膜4の上にはゲート絶縁膜3を介して本来の表側ゲート電極2Fが形成されている。この表側ゲート電極2Fを被覆する様に層間絶縁膜7が成膜されており、その上に信号配線5Sやドレイン配線5Dがパタニング形成されている。これらの配線5S, 5Dを被覆する様に平坦化膜9が成膜されており、その上に

画素電極10が形成されている。

【0024】

図9は、本発明に係るアクティブマトリクス型の液晶表示装置を示す模式的な斜視図である。この液晶表示装置は駆動基板1と対向基板20との間に液晶17を保持した構造となっている。駆動基板1には画素アレイ部と周辺回路部とが集積形成されている。周辺回路部は垂直走査回路41と水平走査回路42とに分かれている。又、駆動基板1の上端側には外部接続用の端子電極47も形成されている。各端子電極47は配線48を介して垂直走査回路41及び水平走査回路42に接続している。画素アレイ部には互いに交差するゲート配線43と信号配線44が形成されている。ゲート配線43は垂直走査回路41に接続し、信号配線44は水平走査回路42に接続している。両配線43、44の交差部には画素電極10とこれを駆動する薄膜トランジスタFTFとが形成されている。一方、対向基板20の内表面には図示しないが対向電極が形成されている。本例では、画素アレイ部に形成された薄膜トランジスタTFTは通常のシングルゲート型であるのに対し、周辺の垂直走査回路41と水平走査回路42に形成されたシフトレジスタなどは本発明に従ってデュアルゲート構造の薄膜トランジスタで組み立てられている。

【0025】

図10は、本発明に係るエレクトロルミネッセンス表示装置の一例を示す模式的な部分断面図であり、一画素のみを表わしている。本実施形態は、電気光学素子として液晶セルに代えて有機エレクトロルミネッセンス素子OLEDを用いている。OLEDはITOなどの透明導電膜などからなる陽極A、有機層110及び金属の陰極Kを順に重ねたものである。陽極Aは画素毎に分離しており、基本的に透明である。陰極Kは画素間で共通接続されており、基本的に光反射性である。係る構成を有するOLEDの陽極A／陰極K間に順方向の電圧(10V程度)を印加すると、電子や正孔などのキャリアの注入が起こり、発光が観測される。OLEDの動作は、陽極Aから注入された正孔と陰極Kから注入された電子により形成された励起子による発光と考えられる。OLEDは自ら発した光をガラスなどからなる基板1の表面側から裏面側に出射する。図示の薄膜トランジスタは

本発明に従って表側のゲート電極2Fと裏側のゲート電極2Rを備えたデュアルゲート構造となっている。

## 【0026】

## 【発明の効果】

以上説明したように、本発明によれば、薄膜トランジスタの表側電極及び裏側電極は互いに分離して設けた配線を介して別々にゲート電圧を受け入れ、表側ゲート電極は対応するゲート電圧に応じてチャネルをオンオフ制御し、裏側ゲート電極は、対応するゲート電圧に応じて薄膜トランジスタの閾電圧を能動的に制御し、薄膜トランジスタのオンオフ動作を適正化する。係る薄膜トランジスタを回路に用いた場合、特に多結晶シリコンを活性層（チャネル）とした際、顕著なV<sub>t h</sub>ばらつきに対して、能動的にV<sub>t h</sub>を制御することが可能となり、消費電力の増大化並びに誤動作などを抑制することができる。これにより、高性能な薄膜トランジスタ回路アレイを安定に高い歩留りで提供することが可能である。尚、活性層の厚みが大きいとV<sub>t h</sub>を随意に制御することが難しい場合がある。活性層に実効的な不純物を含まない場合はその厚みが100nmの時、あるいは実効的な不純物を含んでいる場合最大空乏層厚の2倍以下の活性層厚みである時に、裏側ゲート電極の電位で完全に薄膜トランジスタのV<sub>t h</sub>を制御できる。

## 【図面の簡単な説明】

## 【図1】

本発明に係る薄膜半導体装置の実施形態を示す模式的な部分断面図である。

## 【図2】

本発明の動作原理を示す模式図である。

## 【図3】

本発明の動作原理を示すグラフである。

## 【図4】

本発明の動作原理を示すグラフである。

## 【図5】

本発明に係る薄膜半導体装置の実施例を示す回路図である。

## 【図6】

本発明に係る薄膜半導体装置の他の実施例を示す回路図である。

【図7】

本発明に係る薄膜半導体装置の別の実施例を示す回路図である。

【図8】

本発明に係る薄膜半導体装置の他の実施形態を示す模式的な部分断面図である

【図9】

本発明に係るアクティブマトリクス型液晶表示装置の一例を示す斜視図である

【図10】

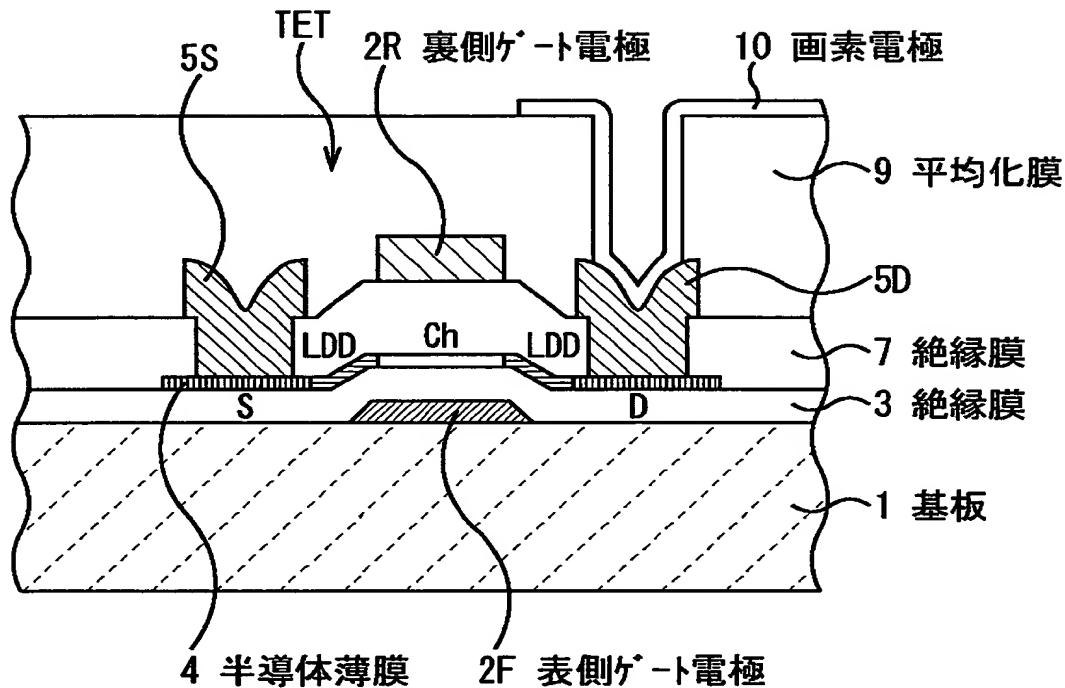
本発明に係る有機エレクトロルミネッセンス表示装置の一例を示す模式的な部分断面図である。

【符号の説明】

1 . . . 基板、 2 F . . . 表側ゲート電極、 2 R . . . 裏側ゲート電極、 3 . . . ゲート絶縁膜、 4 . . . 半導体薄膜、 7 . . . 層間絶縁膜、 9 . . . 平坦化膜  
、 10 . . . 画素電極

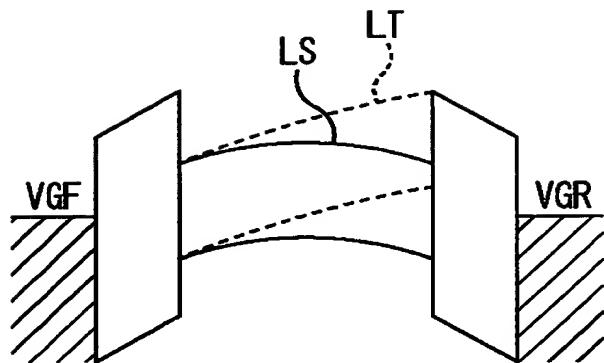
【書類名】 図面

【図1】

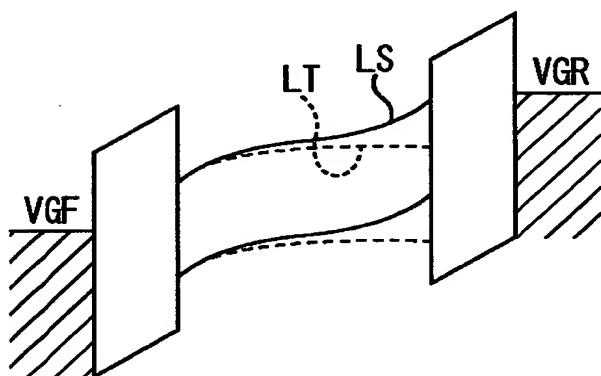


【図2】

(A)

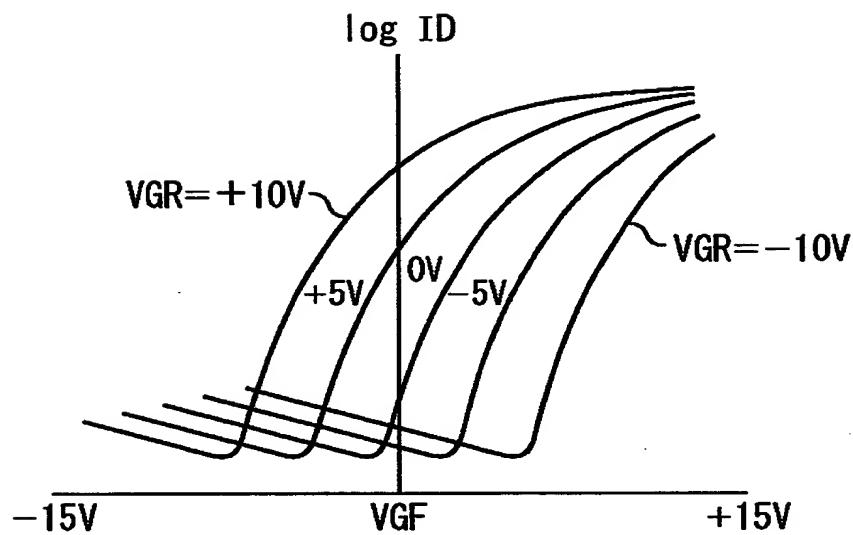


(B)

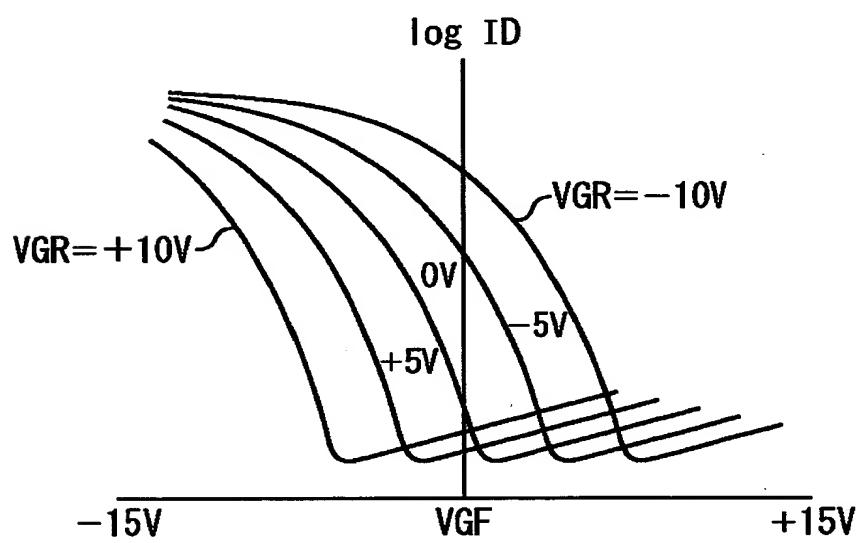


【図3】

(N)

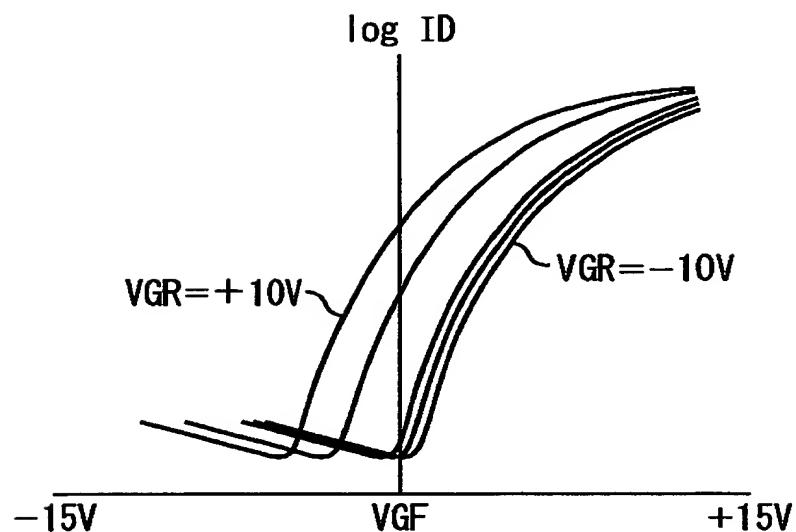


(P)

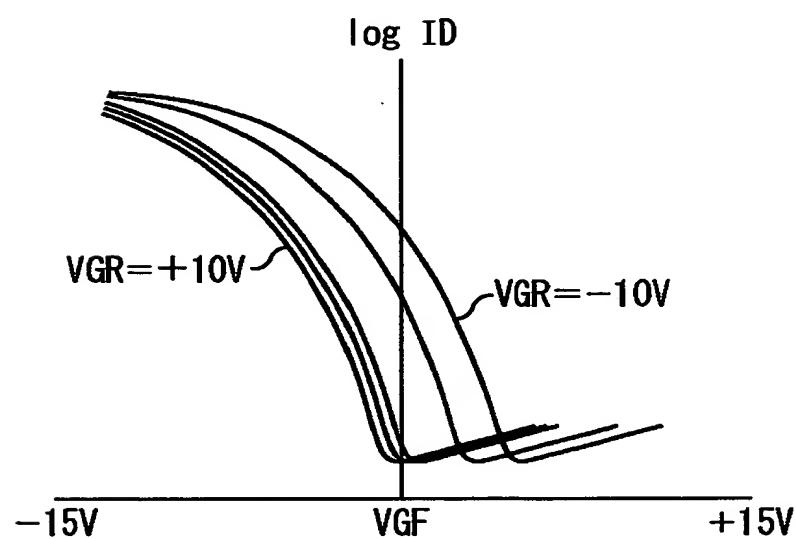


【図4】

(N)

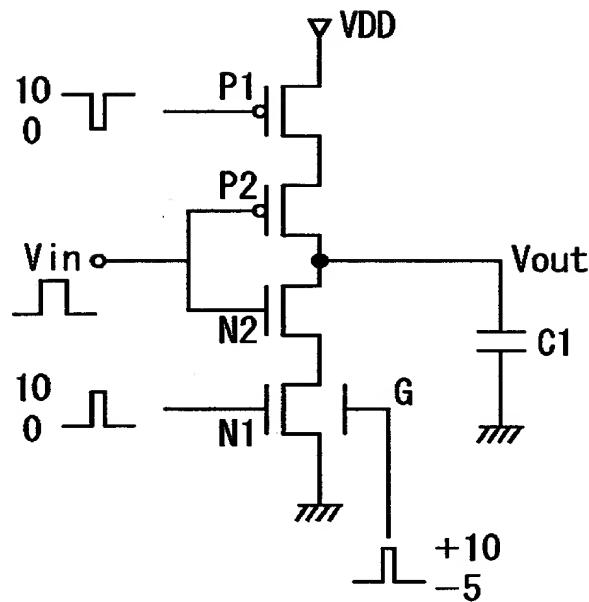


(P)

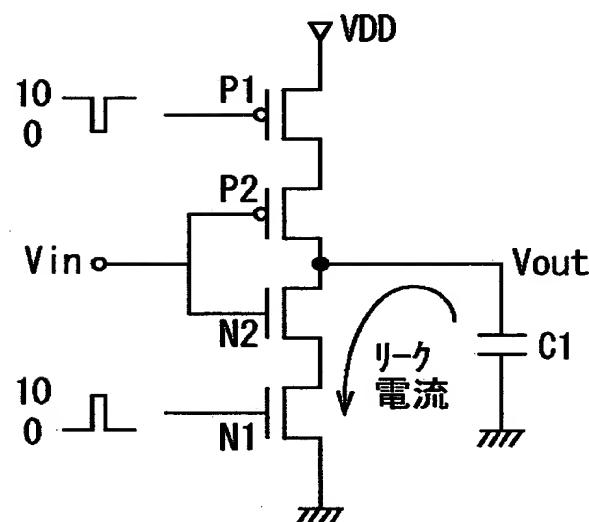


【図5】

(A)

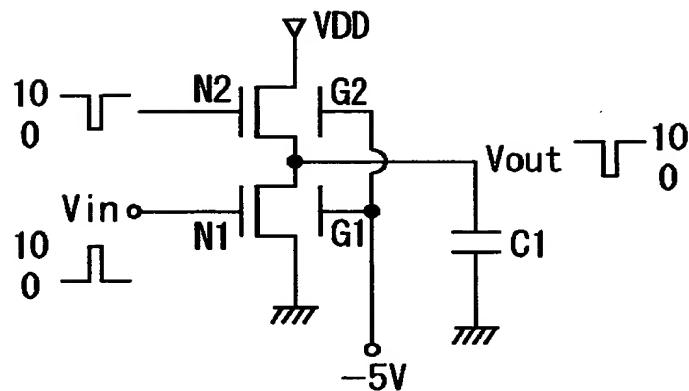


(B)

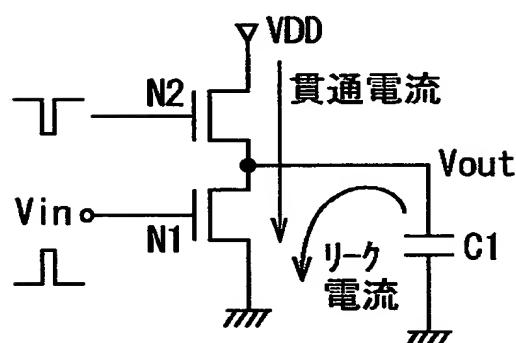


【図6】

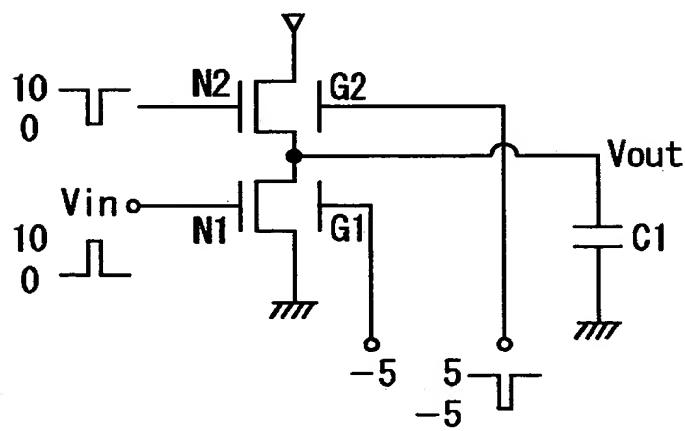
(A)



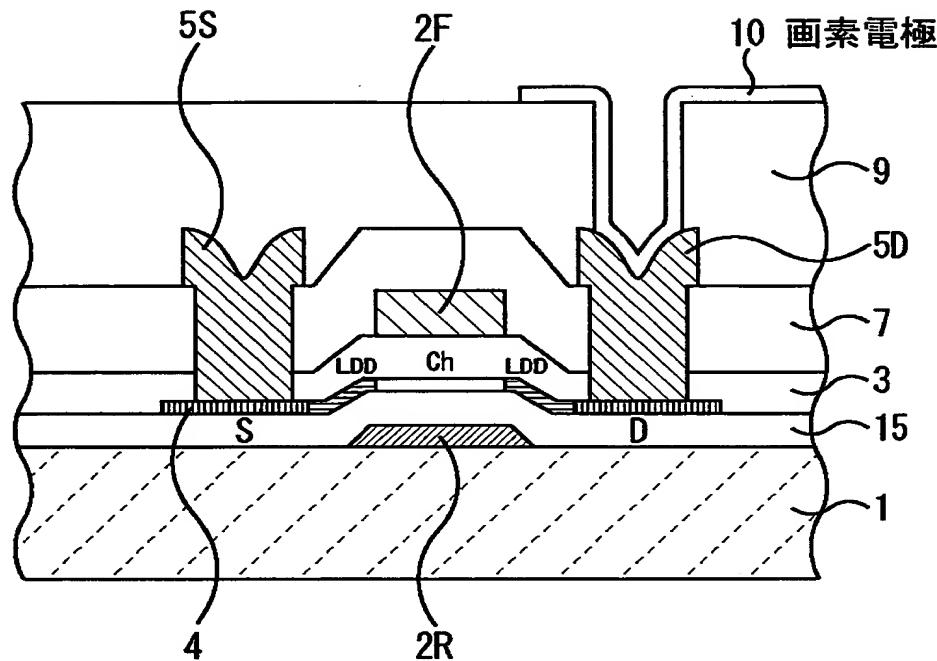
(B)



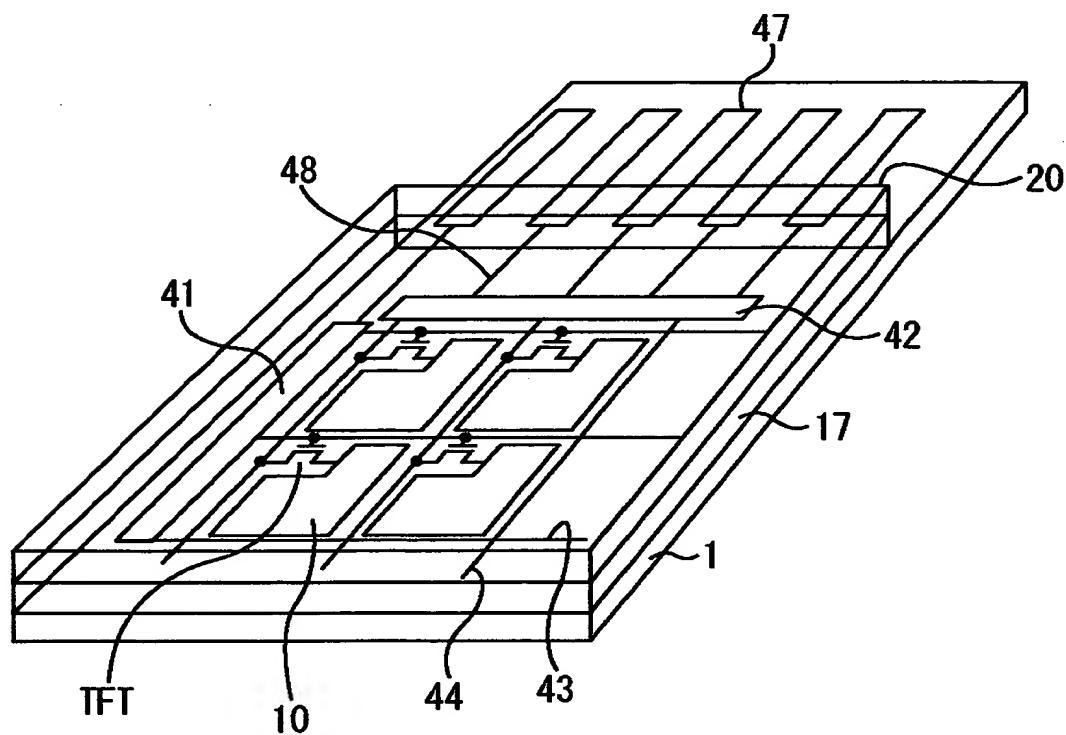
【図7】



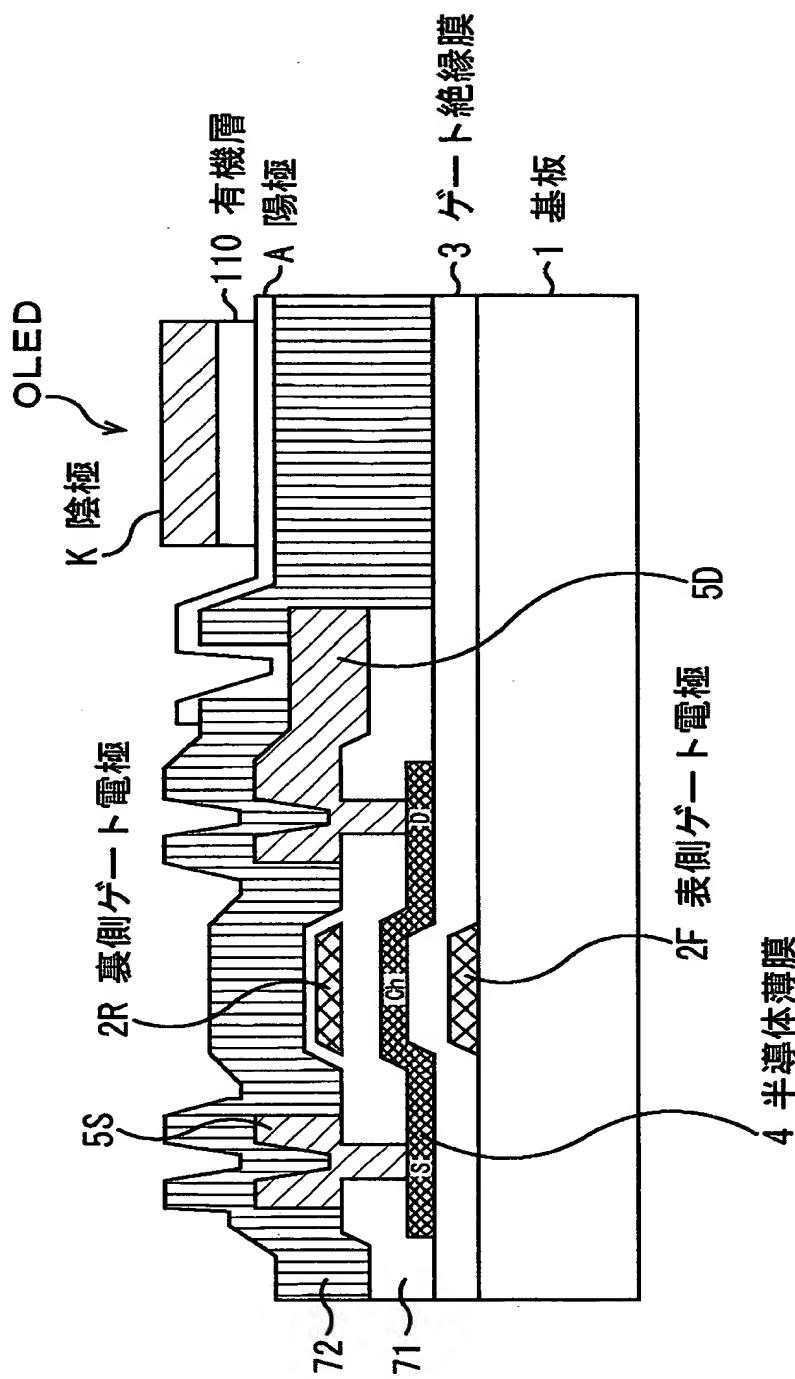
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 薄膜トランジスタの閾値電圧を電気的に制御して、そのばらつきを吸収する。

【解決手段】 薄膜半導体装置は、基板1に集積形成された薄膜トランジスタTFTと、各TFTを接続する配線を含む。各TFTは所定の閾電圧を有し配線を介して印加されるゲート電圧に応じてオンオフ動作するチャネルChを備えている。少なくとも一部のTFTは、チャネルChを構成する半導体薄膜4と、絶縁膜3、7を介して半導体薄膜4の表裏に配された第一ゲート電極2F及び第二ゲート電極2Rとを備えている。第一ゲート電極2F及び第二ゲート電極2Rは互いに分離して設けた配線を介して別々に第一ゲート電圧及び第二ゲート電圧を受け入れる。第一ゲート電極2Fは、第一ゲート電圧に応じてチャネルChをオンオフ制御し、第二ゲート電極2Rは、第二ゲート電圧に応じて閾電圧を能動的に制御しTFTのオンオフ動作を適正化する。

【選択図】 図1

出願人履歴情報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社